

# 반도체3차원직접공정

2020년 12월 한양대 [신소재공학부 최창환](#) 교수와 한훈희 박사과정 학생 연구팀이 반도체 소자의 성능 향상과 낮은 전력소모를 위한 새로운 3차원 집적 공정 방식을 개발했다. ‘Monolithic 3D Integration(이하 M3D)’로 명명된 해당 기술은 반도체 소자 미세화 한계를 뛰어넘을 수 있는 기술로 평가받는다. 이런 이유로 최 교수팀은 반도체 분야 최고권위학회 ‘국제전자소자학회(International Electron Devices Meeting, IEDM)’에서 해당 내용을 발표했다.

- [뉴스H] [최창환 교수팀, 반도체 성능향상과 저전력 구현하는 공정 개발](#)

□

## 목차

- [1 연구 개요](#)
  - [1.1 논문명](#)
  - [1.2 저자정보](#)
  - [1.3 연구배경](#)
  - [1.4 연구내용](#)
  - [1.5 기대효과](#)
  - [1.6 용어설명](#)

## 연구 개요

### 논문명

Low Temperature and Ion-Cut Based Monolithic 3D Process Integration Platform Incorporated with CMOS, RRAM and Photo Sensor Circuits

### 저자정보

- 교신저자: 최창환 교수 (한양대학교 신소재공학과)
- 제1저자: 한훈희 박사과정 (한양대학교 신소재공학과)
- 공동연구자: 최리노 교수(인하대학교) 정성욱 교수(연세대학교), 정성우 교수(고려대학교), 조병진 교수(KAIST), 송승철 박사 (Qualcomm)

### 연구배경

반도체 소자 개발은 EUV 기술 도입을 통한 지속적인 미세화 연구 방향과 3차원 집적 공정으로 진화하고 있다. 또한, 다양한 기능을 구현하기 위한 반도체 소자의 결합이 더욱 중요시 된다. 특히, 3차원 집적 공정은 추가적인 미세화 없이 소자 성능을 향상시킬 수 있고 다양한 기능을 갖는 이종 소자의 결합이 가능한 기술이다. 증가하는 소자 간 연결을 기존 Wiring을 이용하는 2D 구조 소자로 구현 시 복잡한 배선으로 소자 간 RC delay가 증가하여 소모전력이 증가되는 문제점 발생한다. 이를 위해 다양한 소자간 배선길이 감소를 위해 특성 저하의 문제점을 보완할 수 있는 3

차원 적층 기술인 TSV와 M3D 구조가 제안되었다. 특히, M3D의 경우 수직 배선 형성 시 수백 nm급의 얇은 상부층을 형성하고 상하부 소자간 정렬문제를 순차적으로 집적하는 공정을 통해 해결 할 수 있으며, 낮은 aspect ratio로 인해 nm급 Via hole size확보 와 hole filling을 문제없이 할 수 있는 장점이 있다.

## 연구내용

본 연구에서는 상-하부 반도체 기판에 각각 소자를 형성하는 3차원 집적 공정을 제안하였다. 먼저 8인치 기판에 CMOS 소자 (하부소자)를 형성 하고 저온 기반 이온 컷 전사 기술을 통해 수십 nm급 단결정 실리콘층을 상부층으로 형성 후 Photodetector와 RRAM (상부소자)를 형성하였다. 상하부 소자 연결을 하여 빛의 세기에 따른 Clock-Frequency 특성을 확보 후 추출된 Clock Frequency 영향 분석을 RRAM 소자에 연결하여 특성을 확인하였다.

## 기대효과

소자 미세화를 뛰어넘을 수 있는 공정 기술로 다양한 이종 소자간의 연결이 가능하여 로직-로직, 로직-메모리, 로직-센서 및 뉴로포믹 소자 등의 시스템 구현이 가능할 것으로 예상된다. 특히, 제안된 저온 기반 Ion-Cut 기반 M3D Integration은 해외 연구진에서 제시한 공정 방식과 달라서 소자 특성과 비용 측면에서도 개선 될 것으로 기대함.

## 용어설명

1. Wiring : Chip과 Chip 사이의 신호를 주고 받을 수 있는 금속 라인
2. Ring-Oscillator : Frequency를 발생하는 장치로 소자를 동작시키는 역할을 하며, Frequency가 클수록 빠른 연산이 가능하다.